

データフローアーキテクチャFDTD法/FIT専用計算機 における領域分割法の実装に関する研究

| | |
|-----|---|
| 著者 | 川口 秀樹 |
| 雑誌名 | 電子情報通信学会技術研究報告 |
| 巻 | 116 |
| 号 | 309 |
| ページ | 173-176 |
| 発行年 | 2016-11-10 |
| URL | http://hdl.handle.net/10258/00009472 |

データフローアーキテクチャ FDTD 法/FIT 専用計算機における 領域分割法の実装に関する研究

川口 秀樹

室蘭工業大学 しくみ情報系領域 〒050-8585 室蘭市水元町 27-1

E-mail: kawa@mmm.muroran-it.ac.jp

あらまし マイクロ波シミュレーションにターゲットを絞ることにより、汎用アーキテクチャ故に PC 等で生じていた無駄な処理をなくし、低コスト、小型、かつ低消費電力な高性能計算を実現すべく、著者らはデータフローアーキテクチャ方式に基づいた FDTD 法/FIT 専用計算機の開発を行ってきた。専用計算機の開発に際しては、とりわけ、計算性能を重視した検討が中心となり、実際、FDTD 法専用計算機でも、ハイエンド PC や GPU を越える性能が発揮できることが示されているものの、その一方で、幅広い応用や大規模計算などの検討も実用利用に際しては必須の課題となる。本研究では、専用計算機の実用利用を目指した場合におけるもっとも大きな課題の一つである大規模計算実現のための領域分割法の実装を検討したので報告する。

キーワード マイクロ波シミュレーション, FDTD 法, FIT, 専用計算機, ハイパフォーマンスコンピューティング, データフローアーキテクチャ, 領域分割法

Design Study of Domain Decomposition Operation in Dataflow Architecture FDTD/FIT Dedicated Computer

Hideki KAWAGUCHI

Muroran Institute of Technology 27-1 Mizumoto-cho, Muroran, 050-8585 Japan

E-mail: kawa@mmm.muroran-it.ac.jp

Abstract To aim to achieve a high-performance computation for microwave simulations with low cost, small size machine and low energy consumption, author has been working in development of the FDTD method dedicated computer with dataflow architecture. It was shown by VHDL logical circuit simulations of the FDTD machine that the designed architecture has much higher performance than that of high-end PC and GPU. However it was also found that microwave simulation for only 25 x 25 grid space in x-y plane can be executed in a single FPGA at most. To treat much larger numerical model size for practical applications, this paper considers implementation of a domain decomposition method operation of the FDTD dedicated computer in single FPGA.

Keywords Microwave simulation, FDTD method, FIT, Dedicated computer, High-performance computing, Dataflow architecture, Domain-decomposition method

1. はじめに

マイクロ波シミュレーションをターゲットとしたハイパフォーマンスコンピューティング(HPC)技術の一方式として、FDTD 法/FIT 専用計算機の開発が行われてきた^{[1]-[8]}。マイクロ波シミュレーションは、すでに多くの商用コードが発売されていることからわかるように産業応用の場での利用が非常に多いものの、500 x 500 x 500 グリッドサイズ程度の少し大きめの問題でも、身近な PC を用いた計算では数時間から 1 日レベルの計算時間を要してしまい、短いターンアラウンドタイムが要求される製品設計などの場面では必ずしも有効に活用できないという課題がある。とりわけ、CAD 環境が共存する製品設計の場においては、マイクロ波シミュレーション実行に際し、大型の共用計

算機リソースをネットワーク経由で利用したとしても、計算時間は短くできても、数値モデルデータや計算結果のアップロード、ダウンロードも含めるとターンアラウンドタイムを短くできる方法とは言えず、製品設計環境に適した HPC 技術としては、コンパクトで直付けでき、安価かつ消費電力の少ないシステムが好ましい。著者らは、そのようなポータブル HPC 技術の一つの可能性として、マイクロ波シミュレーションでもっともポピュラーに用いられている FDTD 法に特化した専用計算機を用いる方法を検討してきた^{[2],[5],[7],[8]}。とりわけ、FDTD 法の計算処理時間のほとんどを占めるメモリアクセスを最小限化しスループットとしての高性能実現を目途し、データフローアーキテクチャと称した高速アーキテクチャを提案し^{[9],[10]}、その上で、

専用計算機のデジタル回路をハードウェア記述言語 VHDL にて設計し、その動作を論理回路シミュレーションにより検証を行うことにより、その妥当性を示してきた。専用計算機の検討に際しては、もともと計算性能が重視され、実際、しばしば CPU 並列処理や GPU との比較における優位性は示されるものの、その一方で、実用利用を意識すると、

- ・ハードウェアを変えることなく柔軟に様々な数値モデルを取扱えるかどうか
- ・実用に耐うる HPC が必要となるくらい大きな数値モデルを取扱えるかどうか

という大きな課題がある。われわれはこれまで、まず、前者に対しては、任意の 3 次元形状の数値モデル、任意の媒質定数の分布、任意の PML 吸収境界の配置、さらに、ローレンツモデルの分散媒質の任意分布に関しては、計算に先だってホスト PC からダウンロードされる初期設定情報を変えるだけで、ハードウェア回路を変えることなくシミュレーションできる回路を設計、提案し、論理回路シミュレーションにより動作の妥当性を確認した^[9]。一方、後者に対しては、FDTD スキームを実行する回路を整数演算で実現し可能な限りの回路の最小化を図る、使用率の低い演算回路部分を最小化する^[10]などの工夫は試みているものの、現状最上位の FPGA を用いても高々、 $25 \times 25 \times Z$ (Z : z 方向のグリッド数) のグリッド空間しか取扱えないことがわかっており、大規模問題を取扱うための本質的な対処には、複数 FPGA による並列連動動作システムを構築した上で FDTD 法を領域分割して実行する必要がある。しかしながら、このような複数 FPGA システムで、例えば $500 \times 500 \times 500$ 程度のグリッド空間を取扱うには、数百個の最上位 FPGA が必要であり、極めて高価となってしまいあまり現実的でない。この

ような背景から、本稿では、シングル FPGA の範囲で、上記領域分割 FDTD 法を実装する方式を検討したので報告する。

2. データフローアーキテクチャ FDTD マシン

FDTD 法における最大のオーバーヘッドであるメモリアccessを可能な限りなくし、スキームに存在する並列性を最大限に引出すためのデータフローアーキテクチャベースの FDTD 法専用計算機(マシン)のシステム概要を図 1 に示す^[9]。本来、RAM に格納される電磁場の値や媒質定数などはすべて Yee グリッド内の位置と同じ位置に(論理的に)配置されたレジスタに格納され、その上で、これらのレジスタ間を FDTD 法スキームが 1 クロックで実行されるような演算回路で接続する(図 1(a) には FDTD 法の E_z 成分、 B_z 成分のみの計算回路が例示されているが、実際には、他の x, y 成分の回路も実装されている)。また、FDTD 法の計算には隣のグリッドの場の値も必要なので、 z 方向に関しては、図 1(b) のように上下に演算回路のない場の値を格納するレジスタのみのグリッドを配置し、これを単位グリッド演算回路とする。これに加え、図 1(c) のようにより上位層にも、場の値を格納するレジスタのみのグリッドを z 方向のグリッド数 Z 分配置し、 z 方向 1 次元分のグリッド回路を構成する。最後に、この z 方向 1 次元分のグリッド回路を x, y 方向のグリッド数 $X \times Y$ 分 2 次元的に(FDTD 法スキームが実行できるよう最下層で演算回路どうしを)つなぎ合わせることで、全空間の FDTD 法スキームを実行する回路を構成する(図 1(d)参照)。すなわち、最下層にて x, y 方向 2 次元分の FDTD 法演算が実行され、その後、上位層から 1 層分ずつレジスタ内の電磁場の値をシフトダウンする動作を繰り返すことで、電場、磁場合せ

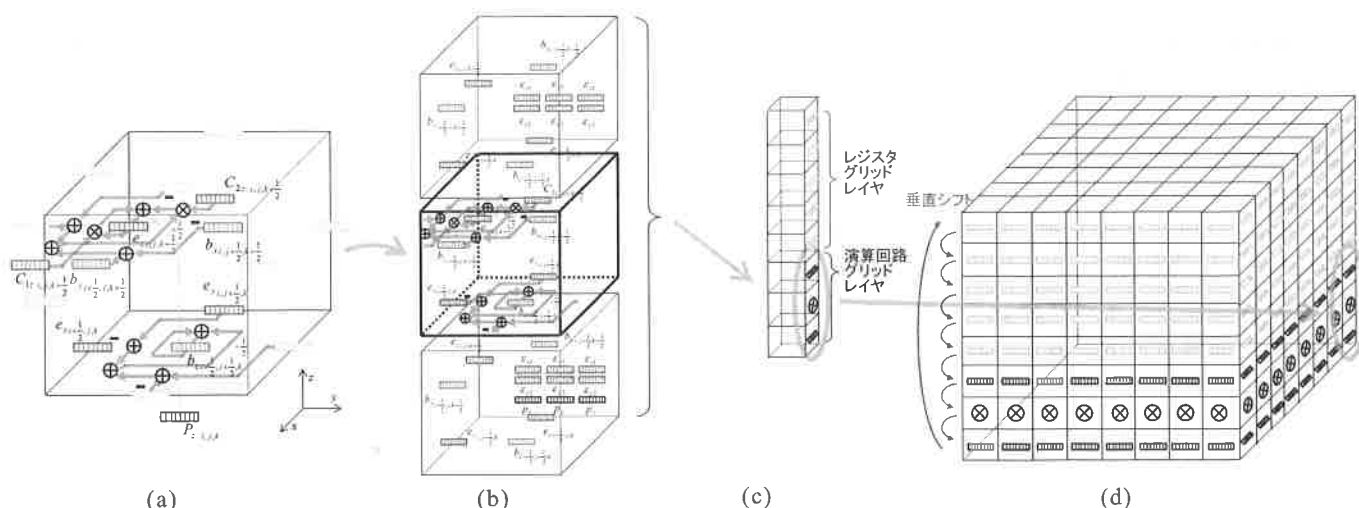


図 1 データフローアーキテクチャ FDTD 法専用計算機

(a) FDTD 法演算回路(E_x, B_x), (b) 単位グリッド回路, (c) 垂直単位グリッド回路, (d) 全計算機システム概観

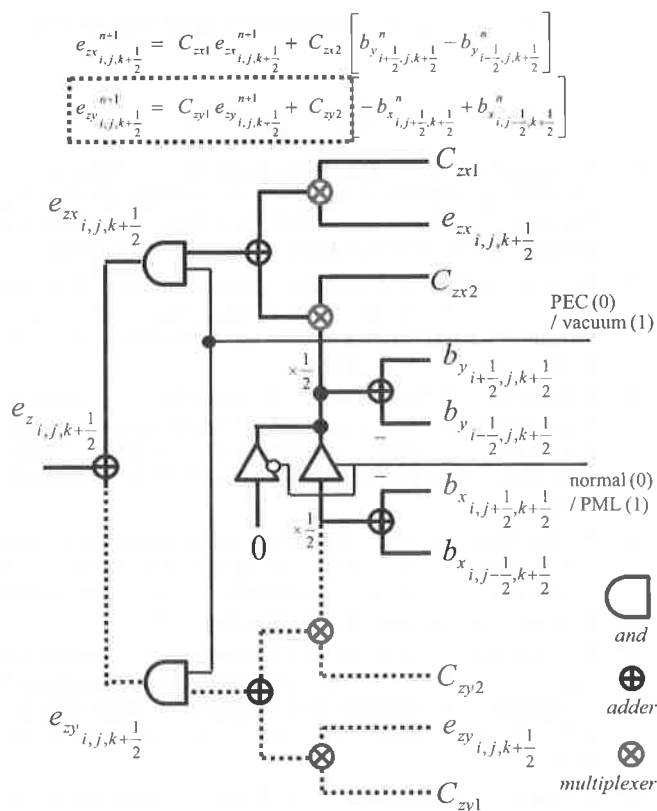


図2 共通化 FDTD 法演算詳細回路

で、 $4 \times z$ 回のクロックで 1 タイムステップ分の FDTD 法演算が実行されることになる。また、図 1(a) の FDTD 法スキームを実行する回路の E_z 成分の詳細を図 2 に示す。PEC/vacuum という 1 ビット端子に、1 が入ると演算結果はそのまま出力され、0 が入ると結果はゼロクリアされるため、この値を予めグリッド空間

間中の各グリッドごとに適切に設定することにより、完全導体の形状に応じて自動的に境界条件が設定される。同様に、 C_{xz1} などの FDTD 法スキームの係数をグリッドごとに適切に設定することにより、任意の媒質分布も自動的に計算に取組むことができる。さらに、normal/PML という 1 ビットセレクト切り替え信号の端子に、0 が入ると実線の部分の通常の FDTD 法スキームが実行され、1 が入ると全回路がアクティブとなり PML のスキームが実行される動作となっており、ここにグリッドごと 0 か 1 の適切な値を設定しておくことにより、通常の FDTD 法スキームと PML スキームもこの同じハードウェアで共通的に取扱うことができる。

このアーキテクチャでの計算性能 P [セル/秒] は、クロック周波数を f として、 $P = XYf/4$ [セル/秒] となる。たとえば、最上位 FPGA を用いて x - y 方向 25×25 のグリッド空間の計算機を構成し、これを 50MHz で動作できたとすると、約 8G セル/秒の処理速度となり、これでも GPU を 10 倍程度超える性能となる。しかしながら、上述のように x - y 方向 25×25 のグリッド空間では実用的な計算は行えないので、より広い空間を取扱える工夫が必要となる。

3. FDTD マシンへの領域分割法実装

全グリッド空間を x - y 2 次元面で領域分割し FDTD 法を並列処理する場合、一つの FPGA に一つのサブ領域を搭載しそれらを直結すれば、サブ領域間、すなわち FPGA 間のデータ交換処理は特段何も工夫する必要なく自動的に行われ、シンプルに、かつ、高いスケー

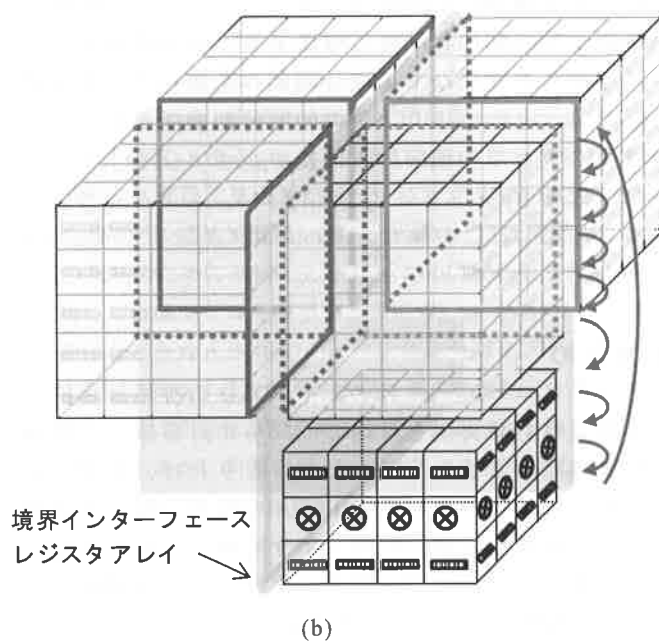
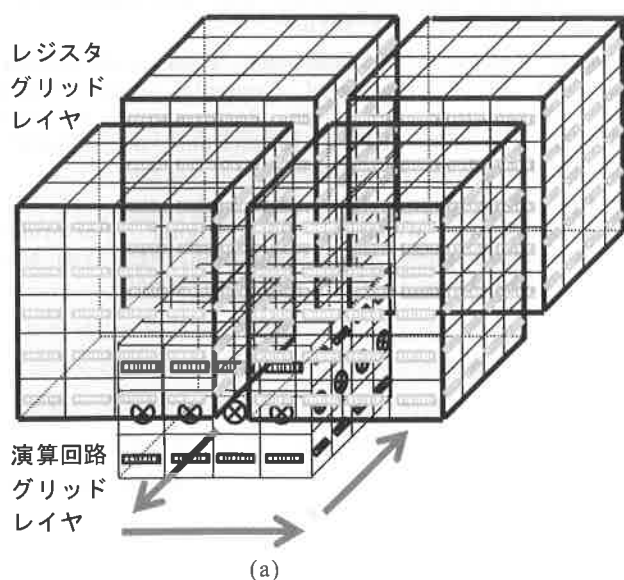


図3 シングル FPGA による FDTD 法専用計算機の領域分割動作

(a) 演算グリッドレイヤの繰返し利用, (b) 境界インターフェースレジスタアレイによるサブ領域間通信

ラビリティで並列処理できることは、図1のアーキテクチャ構造からも容易に想像できる。しかしながら、上述のように、この方法で大規模領域の計算を実現するには数百オーダーのFPGAを要し非常に高価なシステムとなってしまう。このため、ここでは、シングルFPGA上でFDTD法を領域分割計算する方式について検討する。一般に、FPGAのハードウェアの構成要素の主要なものには、演算回路を実装するコアロジックと記憶機能を実装するメモリブロックがあり、論理合成によって図1の回路をFPGAに実装する際は、最下層の演算グリッドレイヤはコアロジックに、上位層のレジスタグリッドはメモリブロックに格納されることが経験的にわかっている。すなわち、当該FPGAにx-y方向にどれくらいグリッドサイズが格納できるかどうかは、上記コアロジックのサイズによって決まってしまう。したがって、図3(a)に示すように、決められたサイズの1つの演算グリッドレイヤに対し、(メモリブロックに格納される)上位層のレジスタグリッドレイヤを複数に領域分割し、随時、接続を切替えることにより、限られたコアロジックのリソースでより大きな領域の計算が可能となる。ただし、ソフトウェア処理での領域分割法の場合と同様、これらサブ領域間のデータ交換を適切に行う必要があるが、とりわけ、計算性能を維持するためには余計なクロックサイクルを要せずにこのデータ交換を行わないとせっかくの専用ハードウェアの利点が損なわれてしまう。このため、ここでは、境界データのバッファリング用に図3のような境界インターフェースレジスタアレイを追加的に用意し、これをサブ領域間のデータ交換を行いながら同時にFDTD法シミュレーションと同期して垂直シフト動作させることにより、付加的なクロックサイクルの遅延なく領域分割動作を実行させる方式とした。これにより、この領域分割機能を有するアーキテクチャでの理論計算性能 P_D [セル/秒]は、領域分割数を N_D として、 $P_D = XYf / 4N_D$ [セル/秒]となる(ただし、この場合、 X, Y は全グリッド空間の x, y 方向のグリッド数)。

4. まとめ

データフローアーキテクチャFDTD法専用計算機による大規模計算実現を目途し、同専用計算機への領域分割法機能の実装を検討した。とりわけ、処理性能は変わらないものシングルFPGAで領域分割法を実現すべく、最下層の演算回路レイヤを繰返し利用する方式の提案を行った。これまですでにこの計算機システムのVHDLコーディングは完了しており、今後は、論理回路シミュレーションによる動作確認を行ったうえで、この機能搭載に伴い追加的に必要となるハード

ウェアサイズの評価など実装に伴う課題の有無を検討していく予定である。

文 献

- [1] Schneider, R.N., Okoniewski, M.M., Turner, L.E., "Finite-difference time-domain method in custom hardware", *Microwave and Wireless Components Letters*, IEEE, Vol:12, Issue:1, pp.488-490, 2002.
- [2] H.Kawaguchi, K.Takahara, D.Yamauchi, "Design Study of Ultra-high Speed Microwave Simulator Engine", *IEEE Transactions on Magnetics*, Vol:38, Issue:2, pp.689-692, 2002.
- [3] P.Placidi, L.Verducci, G.Matrella, L.Roselli, P.Ciampolini, "A Custom VLSI Architecture for the Solution of FDTD Equations", *IEICE Trans. Electron.*, Vol.E85-C, No.3, pp.572-577, March, 2002.
- [4] J.P.Durbano, et al., "Hardware Implementation of a Three-Dimensional Finite-Difference Time-Domain Algorithm", *IEEE Antennas and Wireless Propagation Letters*, Vol.2, pp.54-57, 2003.
- [5] H.Kawaguchi, Y.Fujita, Y.Fujishima and S.Matsuoka, "Improved Architecture of FDTD/FIT Dedicated Computer for Higher Performance Computation", *IEEE Trans. Magn.*, Vol.44, No.6, pp.1226-1229, 2008.
- [6] K.Sano, Y.Hatsuda, L.Wang, S.Yamamoto, "Performance Evaluation of Finite-Difference Time-Domain (FDTD) Computation Accelerated by FPGA-based Custom Computing Machine", *Interdisciplinary Information Sciences*, Vol:15, Issue:1, pp.67-78, 2009.
- [7] Y.Fujita and H.Kawaguchi, "Full Custom PCB Implementation of FDTD/FIT Dedicated Computer", *IEEE Trans. Magn.*, Vol.45, No.3, pp.1100-1103, 2009.
- [8] Y.Fujita and H.Kawaguchi, "Development of Improved Memory Architecture FDTD/FIT Dedicated Computer Based on SDRAM for Large Scale Microwave Simulation", *International Journal of Applied Electromagnetics and Mechanics*, Vol.32, No.3, pp.145-157, 2010.
- [9] H. Kawaguchi, S. Matsuoka, "Conceptual Design of 3D FDTD Dedicated Computer with Dataflow Architecture for High Performance Microwave Simulation", *IEEE Transactions on Magnetics*, Vol.51, Issue 3, 7202404, 2015.
- [10] H. Kawaguchi, Improved Architecture of FDTD Dataflow Machine for Higher Performance Electromagnetic Wave Simulation, *IEEE Tran. Magn.*, Vol.52, Issue 3 (2016), Article#:7206604.